

30. Aug. 2002

## TER MEER STEINMEISTER &amp; PARTNER GbR . PATENTANWÄLTE

EUROPEAN PATENT ATTORNEYS

Dipl.-Chem. Dr. Nicolaus ter Meer  
Dipl.-Ing. Helmut Steinmeister\*  
Manfred Wiebusch\*  
Dipl.-Phys. Peter Urner  
Dipl.-Ing. Gebhard Merkle  
Dipl.-Phys. Bernhard P. Wagner

ter Meer Steinmeister &amp; Partner - Postfach 88 07 69 - D-81634 München

**Europäisches Patentamt**  
Erhardtstraße 27

80298 München

Mauerkircherstrasse 45  
D-81679 MÜNCHEN

Telefon: (089) 98 44 37  
Telefax: (089) 98 79 52  
Telefax: (089) 98 27 199  
VAT Reg. No: DE 130 747 219

Einspruch gegen das Europäische Patent Nr. 0 525 068  
Europäische Patentanmeldung Nr: 91 908 374.1  
Patentinhaberin: Rambus Inc.  
Einsprechende O III: Hynix Semiconductor Deutschland GmbH

30.08.2002  
Ur/an  
urner@termeer.de

## I.

Wir erwidern kurz zu den wesentlichen Gesichtspunkten, betreffend die unzulässige Erweiterung, im Schriftsatz der Patentinhaberin vom 12.8.2002:

Die letzten Ausführungen der Patentinhaberin verdeutlichen deren Argumentationsnot. Die einzig in Frage kommende Offenbarungsgrundlage für den erteilten Anspruch 1 sieht die Patentinhaberin im Anspruch 103 der Ursprungsanmeldung, wobei bemerkenswerterweise die Patentinhaberin keine einzige Stelle in der Beschreibung anführen kann, die ihre Sichtweise unterstützt. Die Patentinhaberin bemüht sich nun durch eine "systematische Auslegung" durch Gegenüberstellung der Ansprüche 82, 95 und 97 einerseits und 103 andererseits genauer herauszuarbeiten, daß in beiden Anspruchsgruppen unterschiedliche Busarchitekturen angesprochen seien. Wir kommentieren folgend kurz diese fehlerhaften Überlegungen, die die Patentinhaberin zu diesem Ergebnis führen:

1. The term "... capable of use" does not positively define any structural element of the claimed semiconductor device. (Seite 2 unten des Schriftsatzes der Patentinhaberin vom 12.8.2002)

Auf Seite 19 ff. unseres Schriftsatzes vom 12.8.2002 haben wir bereits dargelegt, daß sich aus M1 (Im wesentlichen alle Adreß-, Daten- und Kontrollinformationen werden über den Bus geleitet), M2 (Bus hat weniger Leitungen als die Bits einer einzelnen

Adresse), M3 (Verbindungsmittel der Halbleitervorrichtung sind angepaßt an erfindungsgemäßen Bus) und M 4 (Zugriffszeitregister ist "accessible to said bus through connection means") zwingend eine ganz besondere räumlich-körperliche Anpassung der Halbleitervorrichtung an den erfindungsgemäßen Bus ergibt.

2. Auf Seite 3 oben des Schriftsatzes weist die Patentinhaberin darauf hin, daß die Angabe "capable of use" in der erfindungsgemäßen Busarchitektur nicht ausschließt, daß die Vorrichtung auch in einer anderen Busarchitektur eingesetzt werden kann.

Durch diese Erwägung der Patentinhaberin wird gerade nicht in Frage gestellt, daß die Anpassung der Vorrichtung nach Anspruch 103 an einen erfindungsgemäßen Bus ein zwingendes Erfordernis ist. Zudem stellt der gesamte Offenbarungsgehalt der Beschreibung einen engen technischen Zusammenhang zwischen dem erfindersichen Bus und dem Zugriffszeitregister her, das Teil der Vorrichtung gemäß Anspruch 103 ist.

3. It is correct that a bus with particular properties and characteristics is discussed in the description of the present application. But these parts of the description are simply unrelated to the subject-matter of claim 103: the original application discloses many inventions (in the US 41 patents (I) based on the corresponding application have issued).(Seite 3, Mitte des Schriftsatzes)

Alle Ansprüche sind im Lichte der Beschreibung zu lesen. In der Beschreibung heißt es unter SUMMARY OF INVENTION:

The present invention includes a memory subsystem comprising at least two semiconductor devices, including at least one memory device, connected in parallel to a bus, where the bus includes a plurality of bus lines for carrying substantially all address, data and control information needed by said memory devices, where the control information includes device-select information and the bus has substantially fewer bus lines than the number of bits in a single address, and the bus carries device-select information without the need for separate device-select lines connected directly to individual devices.

Hieraus und aus zahlreichen anderen Stellen ergibt sich, daß der gesamten Offenbarung der Ursprungsanmeldung ein einziger erfinderischer Grundgedanke, nämlich die neuartige Busarchitektur, zu entnehmen ist. Diese Busarchitektur funktioniert mit auf sie abgestimmten

- semiconductor devices und

- memory devices.

Die selbständigen Nebenansprüche beziehen sich auf das Gesamtsystem und einzelne Vorrichtungen des Gesamtsystems. Z.B. bezieht sich

- Anspruch 1 auf "a memory subsystem".
- Anspruch 13 auf "a semiconductor subsystem bus".
- Anspruch 82 auf "a DRAM device".
- Anspruch 95 auf "a semiconductor device" mit "at least one modifiable identification register".
- Anspruch 97 auf "a semiconductor device" mit "at least one modifiable register to hold device address information" und
- Anspruch 103 auf "a semiconductor device" mit "at least one modifiable access time register".

Wenn demnach von verschiedenen Erfindungen die Rede ist, so kann es sich nur um verschiedene Vorrichtungen handeln, die aber alle auf dem einen, einzigen erfindnerischen Grundgedanken der neuen Busarchitektur beruhen. Der Hinweis auf US-Verfahren ist irrelevant und wegen seiner Unvollständigkeit (keine Erwähnung der Verurteilung wegen fraud und der Ablehnung, das Busmerkmal unspezifisch zu verstehen, in Virginia) irreführend.

4. Auf Seite 3 unten/4 oben weist die Patentinhaberin darauf hin, daß die Merkmale

- said control information including semiconductor device-select information

und

- said bus carrying device-select information without the need for separate device-select lines connected directly to individual semiconductor devices

in den Ansprüchen 82, 95 und 97 enthalten seien, die sich auf DRAMs beziehen, jedoch nicht im Anspruch 103, wobei die Patentinhaberin behauptet, in 103 sei absichtlich (intentionally) offengelassen, ob getrennte "device-select lines" notwendig seien.

Das Streitpatent spricht ständig von den drei Informationskategorien

- Adreß-,
- Daten- und
- Kontrollinformationen.

Daten- und Adreßinformationen sind eindeutig definiert. Das gleiche gilt für Kontrollinformationen, bei denen es sich, wie jeder Fachmann weiß, um alle anderen Informationen handelt. Hieraus folgt, daß auch device-select-Informationen vom Fachmann immer zu den Kontrollinformationen gerechnet werden. Dies wird in der Ursprungsanmeldung seitens der Patentinhaberin auch ausdrücklich unter SUMMARY OF INVENTION bestätigt.

Deshalb ist in Anspruch 103 bereits durch das Merkmal M1 (die Busleitungen leiten im wesentlichen alle Adreß-, Daten- und Kontrollinformationen) eine separate device-select-Leitung ausgeschlossen. Die einzige in M1 enthaltene Einschränkung "im wesentlichen" ("substantially") bezieht sich nach der Beschreibung eindeutig nur darauf, daß für die Initialisierung einer erfindungsgemäßen Vorrichtung besondere Reset-In-Leitungen vorhanden sind.

Hieraus folgt, daß die von der Patentinhaberin erwähnten beiden Merkmale, die bei den Ansprüchen 82, 95 und 97 vorhanden sind und bei Anspruch 103 nicht, lediglich klarstellenden Charakter haben. Der gesamte Inhalt der Beschreibung der Ursprungsanmeldung widerspricht der Behauptung, in Anspruch 103 seien diese Merkmale absichtlich weggelassen.

Die Behauptung der Patentinhaberin beruht auf der Prämisse, daß die Merkmale M1 bis M4 eine getrennte device-select-Leitung nicht ausschließen. Dies ist offensichtlich falsch.

5. Auf Seite 4 behauptet die Patentinhaberin, das angebliche absichtliche Offenlassen der Notwendigkeit getrennter device-select Leitungen sei logisch "since the concept of the modifiable access-time register is in no way dependent upon separate inventions concerned with the particular features and protocol of the bus."

Die Patentinhaberin verkennet, daß die hier interessierende angebliche Offenbarungsgrundlage des Anspruchs 103 eine Halbleitervorrichtung mit einem bestimmten Register betrifft und gerade kein "concept of the modifiable access-time register". Sowohl in Anspruch 103 als auch in der gesamten Beschreibung ist das Zugriffszeitregister

ausschließlich ein Hilfsinstrument für das Zusammenwirken der Halbleitervorrichtung nach Anspruch 103 mit der erfinderischen speziellen Busarchitektur.

Weder in Anspruch 103 noch in der Beschreibung ist eindeutig und unmittelbar offenbart, daß im Zugriffszeitregister selbst, unabhängig von dem erfinderischen Bus, eine Erfindung gesehen werden kann. Zu diesem Ergebnis kommt man nicht nur durch eine sorgfältige Analyse des gesamten Offenbarungsgehalts. Folgende Indizien mit einer in ihrer Gesamtheit überwältigenden Überzeugungskraft sprechen für die Richtigkeit der Position der Einsprechenden:

- Die Anmelderin selbst bzw. ihre Patentanwälte und ihre Fachleute haben zu keinem Zeitpunkt daran gedacht, daß das Zugriffszeitregister irgendeine Bedeutung losgelöst vom erfindungsgemäßen Bus haben könnte (wir verweisen auf die ausführlichen Darlegungen im Schriftsatz der Einsprechenden I und IV vom 12.8.2002).
- Der Prüfer der Patentanmeldung, die zur Erteilung des Streitpatents geführt hat, hat, wie aus Anlage OIII/14 ersichtlich, die Merkmale zum erfinderischen Bus in Anspruch 103 als wesentlich angesehen.
- Der Richter in dem Verletzungsverfahren Rambus ./.. Infineon in Virginia hat eine Auslegung der Busmerkmale als unspezifische Merkmale abgelehnt.
- Der Gutachter Prof. Thiele hat in bezug auf die mit der Ursprungsanmeldung weitgehend übereinstimmende Beschreibung des Streitpatents ausgeführt, daß Halbleitervorrichtungen in Verbindung mit einer traditionellen Busarchitektur nicht schutzbeansprucht seien.

6. Auf Seite 6 oben beruft sich die Patentinhaberin darauf, daß Prof. Thiele ausgeführt habe "that the function of the access-time register is not in any way dependent on the bus structure in which it might be used".

Dieser Hinweis von Prof. Thiele bestätigt lediglich die Tatsache, daß es aus heutiger Sicht eine Einsatzmöglichkeit für Zugriffszeitregister unabhängig von der neuen Busarchitektur gibt (wenn man ein CAS-Latency-Register als Zugriffszeitregister ansieht, was hier nicht weiter zu diskutieren ist). Diese Aussage besagt demnach gerade nichts darüber, ob in Anspruch 103 eine Offenbarungsgrundlage für den erteilten Anspruch 1 gesehen werden kann. Aus dem Gutachten von Prof. Thiele ergibt sich mittelbar, daß dies nicht der Fall ist, da, wie bereits dargelegt, Prof. Thiele der Gesamtheit des Streitpatents nur einen Hinweis auf einen erfindungsgemäßen Bus entnehmen kann.

7. Auf Seite 6 unten weist die Patentinhaberin darauf hin, daß "several different methods are disclosed in order to detect collisions on the bus, all of them being independent of the provision of the modifiable access-time register in the slaves".

Nach Anspruch 103 und der Beschreibung besteht die einzige und auch die einzig offenbarte technische Funktion des Zugriffszeitregisters darin, Datenkollisionen zu vermeiden (und nicht Datenkollisionen zu entdecken). Hieraus ergibt sich der zwingende und enge technische Zusammenhang des Zugriffszeitregisters zur neuen Busarchitektur. Dies wird durch den Hinweis auf unterschiedliche Methoden der Entdeckung von Kollisionen nicht in Frage gestellt.

## II.

Mit Erwiderung vom 12. August 2002 hat die Patentinhaberin ferner 11 Hilfsanträge vorgelegt, von denen die unabhängigen Ansprüche 1 der Hilfsanträge 5 bis 11 nunmehr folgendes zusätzliches Merkmal enthalten:

"wherein a portion of the memory array (1) is automatically precharged in response to the read request, without further instructions".

Dieses Merkmal soll dem ursprünglich erteilten Patentanspruch 17 entsprechen, in welchem es noch hieß:

"wherein a portion of the memory array (1) is automatically precharged after executing the read request".

Es ist also insofern eine Änderung aufgetreten, da nach dem neuen Anspruchsbegehren jetzt die Voraufladung auch vor oder während der Ausführung einer Leseanforderung ausgeführt werden kann, und daß dies ohne weitere Instruktionen erfolgen soll.

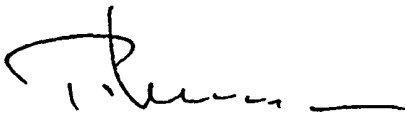
Das genannte zusätzliche Merkmal ist nicht mehr neu. Aus dem Stand der Technik ist es bereits bekannt, in Antwort auf eine Leseanforderung, und zwar ohne zusätzliche Instruktionen, eine Voraufladung durchzuführen, und zwar sowohl vor einem Speicherzugriff als auch nach einem Speicherzugriff.

Diesbezüglich werden die Dokumente OIII/16 (US 4,330,852 - Redwine et al.), OIII/17 (US 4,528,646 - Ochil et al.) und OIII/18 (US 4,845,677 - Chappell et al.) vorgelegt. Diese Dokumente sind vorveröffentlicht. Infolge der umfangreichen Änderung des genannten zusätzlich n Merkmals gegenüber dem ursprünglich erteilten Anspruch 17 sind die Dokumente OIII/16, OIII/17 und OIII/18 auch nicht verspätet (Art. 114 EPÜ).

Bei Dokument OIII/16 werden gemäß Spalte 3, Zeilen 51 bis 56 die Bitleitungen automatisch aufgeladen, und zwar auf einen "full logic level". Dies geschieht durch den Takt  $\Phi S$  nach Empfang der Leseanforderung und vor einem Speicherzugriff, wie die Figur 2 erkennen läßt. Die Voraufladung erfolgt darüber hinaus vor der Ausgabe der Daten. Hingewiesen wird diesbezüglich auf die Zeilen a, c, d und h von Figur 2. Daß die Voraufladung "ohne weitere Instruktionen" vorgenommen wird, ergibt sich daraus, daß dem Block clock generator and control 30 keine weiteren Signale von außen zur Verfügung gestellt werden.

Dokument OIII/17 offenbart eine Voraufladung **beim Start** eines Speicherzugriffs, wie der Spalte 3 in den Zeilen 42 - 58 zu entnehmen ist. Als Leseanforderung kann hier das Chip Enable Signal angesehen werden.

Eine in Antwort auf eine Leseanforderung und ohne weitere Instruktionen automatisch durchgeführte Voraufladung eines Teils eines Speicherarrays ist auch aus OIII/18 bekannt. Hier wird **nach** einem in Antwort auf eine Leseanforderung durchgeführten Speicherzugriff voraufgeladen. Die Figur 2 zeigt ein Blockdiagramm für einen 256K SRAM und läßt erkennen, daß die Datenausgabe (vom DOB) ein Reset/Precharge Signal triggert, das zu vorhergehenden Blöcken oder Elementen des Datenweges zurückgeführt wird, um diese Blöcke bzw. Elemente für den nächsten Zugriff vorzubereiten. Dies ist der Spalte 4 in den Zeilen 58 bis 68 zu entnehmen. Dieses Prinzip kann auch bei sogenannten Pipeline-DRAMS zum Einsatz kommen, wie in Spalte 5, Zeilen 40 bis 61 ausgeführt ist. Der einzige Unterschied zu einem DRAM ist darin zu sehen, daß die Precharge-Time länger ist, so daß nachfolgende Zugriffe zunächst in unterschiedlichen Sub-Arrays erfolgen, um sicherzustellen, daß ein nächster Zugriff bei ein und demselben Array erst dann erfolgt, nachdem die DRAM-Precharge-Time vorüber ist. Es wird also hier in Antwort auf eine Leseanforderung ohne weitere externe Befehle oder Steuersignale geprecharged, also "without further instruction".



Peter Urner

Patentanwalt/European Patent Attorney

- Zusammenschluß Nr. 6

**Anlagen:**

6 Kopien dieses Schriftsatzes,

7 x Dokumente OIII/16, OIII/17 und OIII/18